

ASIGNATURA	Modelado y Síntesis de Sistemas Electrónicos Digitales	FECHA	23-mayo-2019
APELLIDOS, NOMBRE			

Cuestión 1

Para modelar un contador BCD cuya tabla de verdad es la mostrada en la fig1.1 se ha utilizado el código de la fig1.2. El contador dispone de una salida **FC** se pone a nivel alto cuando la cuenta alcanza el valor 9.

RST	CE	CLK	Q_{t+1}
1	X	X	0_x
0	1	↑	Q_t+1
0	0	X	Q_t

fig1.1

```

1  library ieee;
2  use ieee.std_logic_1164.all;
3  use ieee.numeric_std.all;
4  entity cnt_BCD is
5      port (
6          CLK : in  std_logic;
7          RST : in  std_logic;
8          CE  : in  std_logic;
9          Q   : out std_logic_vector(3 downto 0);
10         FC  : out std_logic);
11 end entity;
12 architecture rtl of cnt_BCD is
13 begin
14     process(clk)
15     begin
16         if(CLK'event and CLK = '1') then
17             if RST = '1' then
18                 Q    <= "0000";
19                 FC   <= '0';
20             elsif CE = '1' then
21                 Q    <= std_logic_vector(unsigned(Q)+1);
22                 if Q = 9 then
23                     Q    <= "0000";
24                     FC <= '1';
25                 else
26                     FC <= '0';
27                 end if;
28             end if;
29         end if;
30     end process;
31 end rtl;

```

fig1.2

1. Indique justificadamente cuál o cuáles son los errores cometidos.

(15 ptos)

Cuestión 2

Proponer el código correcto para modelar el contador BCD del apartado anterior. El código debe ser sintetizable.

(15 ptos)

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity cnt_BCD is
  port (
    CLK : in  std_logic;
    RST : in  std_logic;
    CE  : in  std_logic;
    Q   : out std_logic_vector(3 downto 0);
    FC  : out std_logic);
end entity;
```

Cuestión 3

Codifique el modelo VHDL sintetizable de un sistema secuencial cuyo funcionamiento viene dado por la siguiente tabla de verdad.

(20 ptos)

CLR	S1	S0	CLK	Q _{t+1}			
				Q[3]	Q[2]	Q[1]	Q[0]
0	X	X	X	0	0	0	0
1	0	0	X	Q[3]	Q[2]	Q[1]	Q[0]
1	0	1	↑	SRI	Q[3]	Q[2]	Q[1]
1	1	0	↑	Q[2]	Q[1]	Q[0]	SLI
1	1	1	↑	D[3]	D[2]	D[1]	D[0]

```

library ieee;
use ieee.std_logic_1164.all;
entity cuestion_3 is
  port (
    CLR : in std_logic;
    CLK : in std_logic;
    S1   : in std_logic;
    S0   : in std_logic;
    SRI  : in std_logic;
    SRL  : in std_logic;
    D    : in std_logic_vector(3 downto 0);
    Q    : out std_logic_vector(3 downto 0);
  );
end entity;

```

Cuestión 3

En muchas ocasiones es necesario disponer de un circuito digital (figura 4.a) que genere una señal $E2x$ que tenga el doble de frecuencia que la de una entrada E . Este sistema secuencial siempre trabajará con una señal de reloj (CLK) de frecuencia mucho mayor que la frecuencia de la entrada E . En la figura 4.b se muestra el cronograma de funcionamiento del circuito.

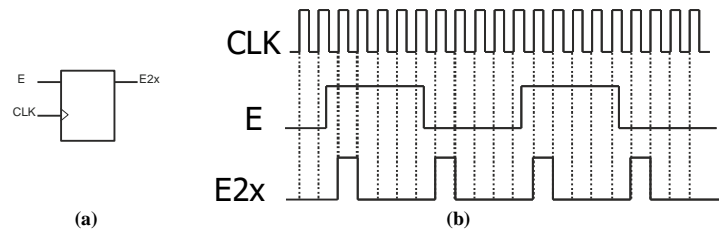


Figura 4. Circuito multiplicador de frecuencia. a) Terminales. b) Cronograma de funcionamiento.

1. Realice el grafo de estados del sistema, indicando, justificadamente, el tipo de máquina (Moore o Mealy).

(10 ptos)

2. Crear el código VHDL, sintetizable, que modele el sistema anterior.

(20 ptos)

```
library ieee;  
use ieee.std_logic_1164.all;  
entity cuestion_5 is  
  port (  
    clk : in  std_logic;  
    E   : in  std_logic;  
    E2x : out std_logic);  
end entity;
```

Cuestión 5

Generar el código que permita simular el circuito de la cuestión anterior. Teniendo en cuenta que se debe generar la señal **E** con 4 frecuencias: 1 kHz, 2 kHz, 3 kHz y 4 kHz, y ciclo de trabajo del 50%. Cada valor se deberá generar durante 100 periodos de **E**.

(20 ptos)