

ASIGNATURA	Modelado y Síntesis de Sistemas Electrónicos Digitales	FECHA	1-julio-2019
APELLIDOS, NOMBRE			

Cuestión 1

La distancia de Hamming de dos datos corresponde con el número de bits diferentes que tienen. Los bits deben compararse posición a posición. Así, por ejemplo la distancia de Hamming de los datos "00010011" y "10010010" es de **dos**, debido que los bits que ocupan la posición LSB y MSB son diferentes.

- 1- Indicar justificadamente cual debe ser el tamaño de la salida *S*.

(5 ptos)

- 2- Completar el siguiente código VHDL para que modele un circuito que calcula la distancia de Hamming de dos datos (*A* y *B*) de 16 bits. El código deberá ser sintetizable.

(10 ptos)

```
library ieee;
use ieee.std_logic_1164.all;

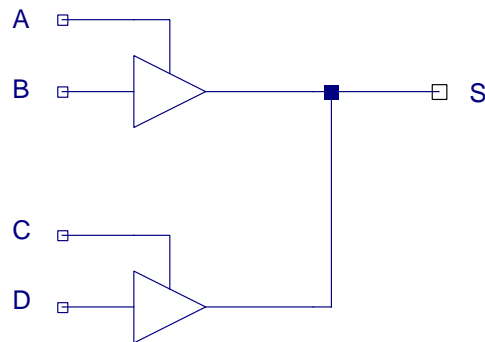
entity C1 is
  port(
    A : in  std_logic_vector(15 downto 0);
    B : in  std_logic_vector(15 downto 0);
    S : out std_logic_vector(   downto 0) );
end C1;
architecture rtl of C1 is
  signal aux : std_logic_vector(15 downto 0);
begin
  aux    <= a xor b;
```

```
end rtl;
```

Cuestión 2

Crear el código VHDL sintetizable que modele el circuito de la figura.

(10 ptos)



```
library ieee;
use ieee.std_logic_1164.all;
entity C2 is
port (
    A,B : in std_logic;
    C,D : in std_logic;
    S : out std_logic);
end C2;
```

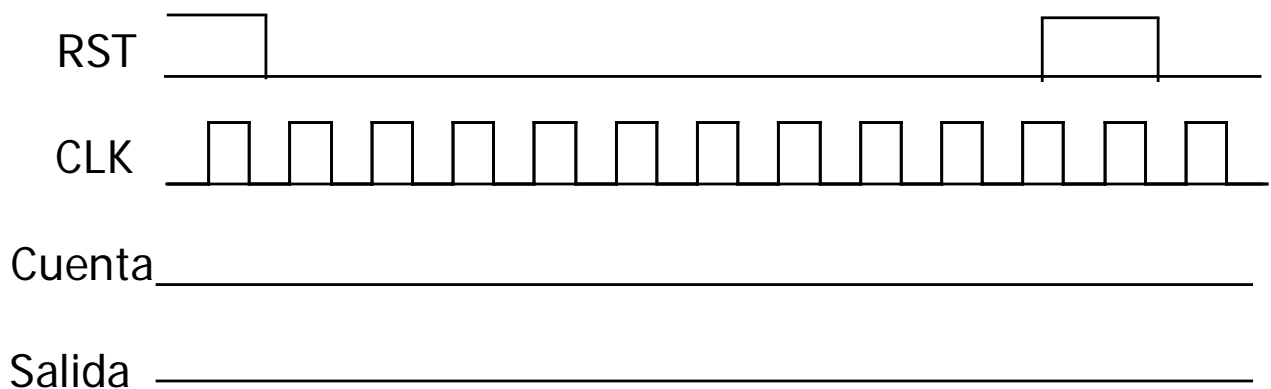
Cuestión 3

Para el modelo de un contador en VHDL se ha utilizado el siguiente código.

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity cnt1 is
  port ( clk  : in  std_logic;
        rst   : in  std_logic;
        salida : out std_logic_vector(2 downto 0));
end cnt1;
architecture arq of cnt1 is
  signal cuenta : unsigned(0 to 2);
begin
  process (clk, rst)
  begin
    if (rst = '1') then
      cuenta <= (others => '0');
    elsif (clk'event and clk = '0') then
      cuenta <= cuenta+1;
    end if;
    salida <= std_logic_vector(cuenta);
  end process;
end arq;
```

1- Completar la siguiente gráfica

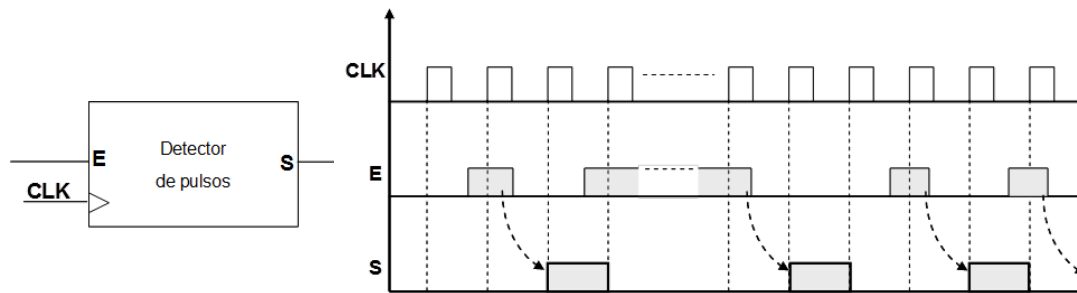
(15 ptos)



Cuestión 4

Se ha realizado el diseño de un detector de pulsos en una línea de datos, mediante una máquina de estados. Su funcionamiento se muestra en la figura siguiente con una secuencia de entrada de ejemplo, y es el siguiente: el sistema detecta cuándo en la entrada E se ha recibido un pulso de cualquier duración, activándose a nivel alto la salida S durante un ciclo de clk una vez que E pasa a nivel bajo. El sistema tiene una señal de inicialización RST (activa a nivel alto) que lleva la máquina a su estado inicial.

NOTA: El sistema no permite la llegada de dos pulsos consecutivos en un intervalo de tiempo inferior a un período de clk .



- 1- Indicar, razonadamente, el tipo de la máquina (Moore o Mealy) de que se trata.

(5 ptos)

- 2- Dibujar el grafo de funcionamiento del sistema secuencial realiza la detección de pulsos.

(10 ptos)

- 3- Crear el código VHDL, sintetizable, que modele el sistema anterior.

(20 ptos)

Cuestión 5

Generar el código que permita simular el circuito de la cuestión anterior. Teniendo en cuenta que se debe generar 4 activaciones (nivel alto) de la señal ***E*** con las siguientes duraciones: 323 ns, 128 ns, 13 ns y 27 ns. La señal ***E*** siempre se activará coincidiendo con el flanco de bajada de la señal ***clk*** y permanecerá a nivel bajo durante 3 flancos de bajada de ***clk***, siendo la frecuencia de esta última señal igual a 100MHz.

(25 ptos)